

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-138757

(43)Date of publication of application : 28.05.1990

(51)Int.Cl.

H01L 21/76
H01L 21/31
// H01L 21/302

(21)Application number : 01-216728

(71)Applicant : SHARP CORP

(22)Date of filing : 22.08.1989

(72)Inventor : TATSUOKA HIDEHISA
ONISHI SHIGEO
KAWAI MASATO

(30)Priority

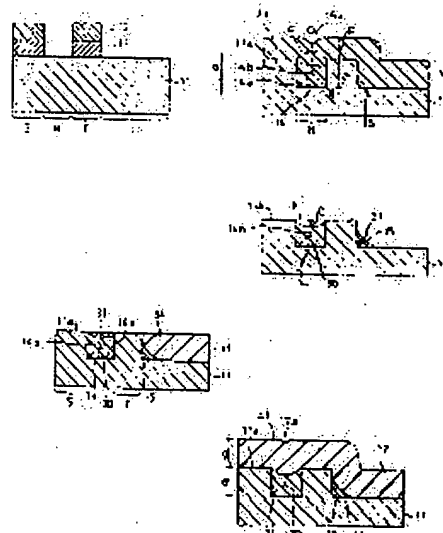
Priority number : 63219505 Priority date : 31.08.1988 Priority country : JP

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To prevent leakage between elements, a short circuit between gates, and the like by a method wherein an isotropic deposition an isotropic dry etching, and a flattening etchback are successively performed as being combined when a narrow groove of the order of a submicron size formed on a semiconductor substrate is filled with an insulating film to serve as an element isolating section.

CONSTITUTION: The surface of an Si substrate is covered with a laminar mask composed of a resist film 12 and an SiO₂ film 13 leaving a narrow element isolating region N and a wide element isolating region L exposed, which is etched to form a narrow groove 14 and a wide groove 15. Next, an SiO₂ film 16 is deposited on the whole face filling the grooves 14 and 15, which is subjected to an isotropic etching treatment and an etchback treatment following after, and a film 16 is left unremoved in the narrow groove 14 as a film 30 whose surface is slightly recessed and in the wide groove 15 as a fill 31 which extends along the wall. Thereafter, an SiO₂ film 17 is deposited on the whole face including these films and left unremoved on the above recessed part and the removed part of film 16 in the wide groove 15 as films 33 and 34 respectively, and the rest of the film 17 is removed to obtain a flat surface.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

BEST AVAILABLE COPY

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平2-138757

⑬ Int. Cl.⁵ 識別記号 庁内整理番号 ⑭ 公開 平成2年(1990)5月28日
 H 01 L 21/76 L 7638-5F
 // H 01 L 21/31 L 8223-5F
 // H 01 L 21/302 L 6824-5F H 01 L 21/94 Z
 審査請求 未請求 請求項の数 7 (全8頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 平1-216728

⑰ 出 願 平1(1989)8月22日

優先権主張 ⑱ 昭63(1988)8月31日 ⑲ 日本(JP) ⑳ 特願 昭63-219505

㉑ 発 明 者 立 岡 秀 久 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
内㉒ 発 明 者 大 西 茂 夫 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
内㉓ 発 明 者 河 合 正 人 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
内

㉔ 出 願 人 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号

㉕ 代 理 人 弁理士 野河 信太郎

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

1. サブミクロン寸法の開口径の狭い溝とサブミクロン寸法よりも広い開口径の広い溝とを有する半導体基板上に、

(a)全面に、等方的デポジション法を用いて上記狭い溝および広い溝が第1絶縁膜で実質的に埋め込まれるように積層し、

(b)等方的ドライエッチング法で第1絶縁膜を除去し、

(c)再び、全面に、等方的デポジション法を用いて上記狭い溝および広い溝が第2絶縁膜で実質的に埋め込まれるように積層し、

(d)広い溝上に積層された第2絶縁膜上に、第1のレジスト層を形成し、

(e)第1のレジスト層を含む上記第2絶縁膜上の全面に、第2のレジスト層を形成し、

(f)異方的ドライエッチング法を用いて第1、

第2のレジスト層および第2絶縁膜を半導体基板の表面が平坦化されるまで除去することよる半導体装置の製造方法。

2. 半導体基板がSi基板である請求項1記載の半導体装置の製造方法。

3. 第1絶縁膜、第2絶縁膜がSiO₂膜である請求項1記載の半導体装置の製造方法。

4. 等方的デポジション法がCVD法である請求項1記載の半導体装置の製造方法。

5. 等方的ドライエッチングが反応性イオンエッチング(Reactive Ion Etching; RIE)によっておこなわれる請求項1記載の半導体装置の製造方法。

6. 等方的ドライエッチングが、酸素含有ガス雰囲気下でおこなわれる請求項1記載の半導体装置の製造方法。

7. 酸素含有ガスが純O₂ガス20%とCF₄ガス80%との混合ガスからなる請求項6記載の半導体装置の製造方法。

3. 発明の詳細な説明

特開平2-138757(2)

(イ) 産業上の利用分野

この発明は、半導体装置の製造方法に関する。さらに詳しくは、半導体基板上に形成したサブミクロン寸法の開口径の狭い溝とサブミクロン寸法より広い開口径の広い溝を絶縁物で埋め込んで素子分離部を形成することに用いられ、ことにダイナミックRAM(DRAM)に適する高密度素子の分離に好適な製造方法に関するものである。(ロ) 従来の技術および発明が解決しようとする課題

一般に、高密度素子を製造するプロセスで、半導体基板には素子分離のためにサブミクロン寸法の開口径Kの狭い溝とサブミクロン寸法より広い開口径Jの広い溝が設けられる。そして、これらの溝は、それぞれ素子の集積度を上げるための素子分離部およびチップ間の分離のための、いわゆる、スクライプ・ライン(scribe line)に利用されるけれども、CVD-SiO₂膜で埋め込む必要がある。

その埋め込みにあたって、従来では第5図に示

成長過程で発生するウェットエッチングに弱い接合面2a、2b、2c、2dのうち中央部の接合面2dに沿って局所的にくぼんでくぼみ部分7、いわゆる巣が形成される[第5図参照]。

このため、表面の平坦性が損なわれ、以後の素子形成の工程で、上記くぼみ部分7に導電性材料が付着して、エッチングや洗浄を施しても狭い溝2の表面から導電性材料を除去することが難しい。結果として、素子間リークや素子のゲート間のショートの原因になるおそれがある。

この発明はかかる状況下なされたものであり、ことにBOX法を利用した半導体装置の製造における問題点を解消すべくなされたものである。

(ハ) 課題を解決するための手段及びその作用

かくして、この発明によれば、サブミクロン寸法の開口径の狭い溝とサブミクロン寸法よりも広い開口径の広い溝とを有する半導体基板上に、(a)全面に、等方的デポジション法を用いて上記狭い溝および広い溝が第1絶縁膜で実質的に埋め込まれるように積層し、(b)等方的ドライエッチング

すBOX(Buried Oxide)法を用いていた。

まず、第5図(a)(b)および(c)に示すように、開口径Kが1μmの狭い溝2と開口径Jが3〜数10μmの広い溝3とを有するSi基板1上に、全面に、CVD法を用いてこれらの溝2,3がSiO₂膜4で埋め込まれるように積層する。

次に、広い溝3上に積層されたSiO₂膜4上に、第1のレジスト層5を形成し、続いて、第1のレジスト層5を含むSiO₂膜4上の全面に、第2のレジスト層6を形成する[第5図(d)参照]。

しかる後、第1、第2のレジスト層5、6およびSiO₂膜4を異方性ドライエッチングを用いてSi基板1の最上面1aが露出されるまでエッチバックして表面を平坦化する[第5図(e)参照]。

このようにして狭い溝2および広い溝3がそれぞれSiO₂膜4で埋め込まれる。

次に、HF液によるウェットエッチングが第5図(e)に示すSi基板1に施される。この際、狭い溝2のSiO₂膜4には、第5図(a)(b)および(c)に順次示したように、狭い溝2のSiO₂膜4の

法で第1絶縁膜を除去し、(c)再び、全面に、等方的デポジション法を用いて上記狭い溝および広い溝が第2絶縁膜で実質的に埋め込まれるように積層し、(d)広い溝3上に積層された第2絶縁膜上に、第1のレジスト層を形成し、(e)第1のレジスト層を含む上記第2絶縁膜上の全面に、第2のレジスト層を形成し、(f)異方的ドライエッチング法を用いて第1、第2のレジスト層および第2絶縁膜を半導体基板の表面が平坦化されるまで除去することよりなる半導体装置の製造方法が提供される。

この発明の製造方法は、素子分離部の形成を、BOX法を利用して行う方法である。そして、半導体基板上的サブミクロン寸法の狭い溝の埋め込みのために、等方的デポジション、等方的ドライエッチング、等方的デポジション、および平坦化エッチバックを順次に組み合わせたことを最大の特徴とする。

この発明では、絶縁膜の積層や除去、さらには平坦化するための方法としてそれ自体公知の手段

特開平2-138757 (3)

が利用される。

しかし、本発明者らは、鋭意研究の結果、従来法と異なり、等方的デポジションによって狭い溝および広い溝を含めて半導体基板上に積層された絶縁膜を等方的ドライエッチング法で除去し、そして再び、等方的デポジションで積層した後、平坦化エッチバックをおこなうようにすることによって狭い溝内の絶縁膜が中央部にウェットエッチングに弱い接合面をもちながらHFクリーン工程(HF処理)によるウェットエッチングに付される従来の問題点が解決されることを見出した。

すなわち、この発明では、従来に比べると、新たに加わった等方的ドライエッチングの工程に引き続き、狭い溝および広い溝を完全に埋め込むための等方的デポジションの工程を再度必要とするけれども、これら等方的ドライエッチングおよびこれに続く等方的デポジションの2つの工程を加えることによって上述した従来の問題点が解消される。従って、この発明により、素子間リークや素子のゲート間のショートが発生が起らない素

子の製造を有利に提供できる。

この発明における半導体基板としては、Si基板が好ましいものとして上げられる。

この発明における第1、第2絶縁膜としては、SiO₂膜が好ましいものとして挙げられる。

この発明の製造工程に用いられる半導体基板は、1μm程度のサブミクロン寸法(1μm以下の寸法をいう)の開口径Kを有する狭い溝と、3〜数10μm程度のサブミクロン寸法より大きな開口径Jを有する広い溝を備えている。

これらの溝は、公知のフォトリソグラフィ技術とRIE法で設けることができる。すなわち、これらの溝は、半導体基板上に、全面に、フォトリソリスト膜を積層した後、マスクを用いて異方的反応性イオンエッチング(Reactive Ion Etching: RIE)により狭い素子分離領域(N)および広い素子分離領域(L)に形成できる(第3図参照)。この際、狭い溝および広い溝の深さをdとする。

そして、まず工程(a)において、等方的デポジション法を用いて半導体基板上に、全面に、第1

子の製造を有利に提供できる。

この発明における半導体基板としては、Si基板が好ましいものとして上げられる。

この発明における第1、第2絶縁膜としては、SiO₂膜が好ましいものとして挙げられる。

この発明の製造工程に用いられる半導体基板は、1μm程度のサブミクロン寸法(1μm以下の寸法をいう)の開口径Kを有する狭い溝と、3〜数10μm程度のサブミクロン寸法より大きな開口径Jを有する広い溝を備えている。

これらの溝は、公知のフォトリソグラフィ技術とRIE法で設けることができる。すなわち、これらの溝は、半導体基板上に、全面に、フォトリソリスト膜を積層した後、マスクを用いて異方的反応性イオンエッチング(Reactive Ion Etching: RIE)により狭い素子分離領域(N)および広い素子分離領域(L)に形成できる(第3図参照)。この際、狭い溝および広い溝の深さをdとする。

そして、まず工程(a)において、等方的デポジション法を用いて半導体基板上に、全面に、第1

ガス圧0.4Torr、印加パワー400Wという条件が挙げられる。

かかる等方的ドライエッチングにより、第1絶縁膜が両溝に一部が残存するように除去される。この際、特に狭い溝では、第1絶縁膜が、例えば、第1図(d)に示すような断面形状で残存する。すなわち、第1図(c)において、狭い素子分離領域では、SiO₂膜16は、除去部分の一部がSiO₂膜16のへこみ部16aにおける点Oを中心として描かれる扇形(半径r、中心θ)をなした形で除去される。その結果、狭い溝14内に残されたSiO₂膜部30は表面が円弧Qによって形成されたconcave状をなす。ここで、表面の除去深さはDである。

ここで等方的ドライエッチングを用いずに、異方的ドライエッチングを用いて第4図(a)に示す第1絶縁膜46を除去すると、第4図(b)に示すように、特に狭い溝44では表面にへこみ部47aを有して第1絶縁部47が残存されることになるから、続いて、第4図(c)に示すように、全面

絶縁膜が積層される。ここで、狭い溝および広い溝(以下、両溝という)が実質的に埋め込まれるとは、例えば、第1図(c)に示すように、両溝14、15がSiO₂膜16によって底部まで完全に埋設されるとともに、Si基板11の最上面11aに膜厚Pを有してSiO₂膜16が積層されることを意味する。

この積層方法としては、例えば、CVD法による等方的デポジションを用いた。この際、第1図(c)において、狭い溝14が位置する素子分離領域(N)では、SiO₂膜16がウェットエッチングに対して弱い接合面14a、14bを、狭い溝14のコーナー部と中央部にそれぞれ有する。

次に、第1絶縁膜で埋設された両溝を有する半導体基板は、工程(b)による等方的ドライエッチングに付される。ここで、等方的ドライエッチングは、例えば、RIEを用いた酸素含有ガス雰囲気で行われ、酸素含有ガスとしては、純O₂ガス20%とCF₄ガス80%との混合ガス等が挙げられる。ここで、エッチング条件の一例として、

特開平2-138757 (4)

に第2絶縁膜48を積層した際には、素子分離領域(N)では、絶縁膜がその最上面48aまで接合面49を有することになり、明らかに不都合が生じる。

工程(c)において、再び、等方的デポジション法を用いて半導体基板上に、全面に、第2絶縁膜が積層される。ここで、両溝が実質的に埋め込まれるとは、例えば、第1図(e)に示すように、両溝14、15が、SiO₂膜17の積層によって、先の等方的ドライエッチング工程で空間となった除去部分が補われて、再び完全に埋設され、かつ膜厚gを有してSi基板上に積層されることを意味する。

この際SiO₂膜17が、ウェットエッチングに弱い接合面をもたない状態で両溝14、15上を完全に埋め込むように積層される。

工程(f)において、半導体基板上方の表面は、第1、第2レジスト層によって平坦化される。これは、次工程の平坦化エッチバックのための準備である。

Nに開口径Kが1μmの狭い溝14を、広い素子分離領域Lに開口径Jが3～数10μmの広い溝15を形成する[第1図(b)参照]。この際、各溝14、15の深さdは1μm程度である。そして、残存するSiO₂膜13を除去した後、

次に、CVD法を用いてSi基板11上の全面に第1のSiO₂膜16を積層する[第1図(c)参照]。この際、CVD法によるSiO₂の積層は、狭い溝14がSiO₂によって完全に埋め込まれるまでおこなわれる。また、Si基板11の最上面11aからSiO₂膜16の表面までの高さ(SiO₂膜の膜厚)Pは1μm程度である。

この際、SiO₂膜16には狭い溝14の中央部上方における最上面にくぼみ16aが形成される。またSiO₂膜16は狭い溝底部のコーナ部分にSiO₂の成長過程において形成される接合面14aを有するとともに、狭い溝14の中央部分にも上面のくぼみ16aから狭い溝14の深さ方向(図示Rで示す矢印方向)に至る接合面14bを有する。

工程(g)において、半導体基板の表面が平坦化される。この平坦化エッチバックは、例えば、異方的RIEによっておこなわれる。この際、エッチバックは第1、第2のレジスト層および第2絶縁膜に対して等しいエッチング速度を有する条件のもとで施される。

(二) 実施例

以下、図に示す実施例にもとづいてこの発明を詳述する。なお、これによってこの発明は限定を受けるものではない。

第1図(a)において、まず、Si基板11上に、全面に、熱酸化あるいはCVD法によりSiO₂膜とレジスト膜とを順次積層し、その後マスクを用いてRIEにより狭い素子分離領域Nおよび広い素子分離領域Lのレジスト膜およびSiO₂膜を除去し、素子形成領域S、Tにそれぞれ上面にレジスト膜12を有するSiO₂膜13を残す。

そして、残存するレジスト膜12を除去した後、

続いて、残存するSiO₂膜13をマスクにしてSi基板11にRIEを施して狭い素子分離領域

その後、SiO₂膜16を等方性ドライエッチングによって、Si基板11上のSiO₂膜16の膜厚が500～1000Å程になるまでエッチバックをおこなう[第1図(d)参照]。

この際、等方性ドライエッチングとしてRIE法によりSiO₂膜16を1μm程度除去する。本実施例では、ドライエッチング装置を用いてガス圧0.4Torr、印加パワー400Wのエッチング条件で80%CF₄/ガス/20%O₂/ガスによる等方的ドライエッチングをおこなって約1μm程SiO₂膜を除去した。この条件では、1分間に750Åのエッチング速度で1μm厚さのSiO₂膜の等方性なドライエッチングが進行する。従って、この実施例では、狭い溝14に残存されるSiO₂膜30の表面をConcave状にするエッチングが可能になる。そして、狭い溝内におけるエッチング量としては、Si基板11の最上面11aからSiO₂膜30表面の中央に至る除去長さDが1000～3000Å程度に制御する。一方、広い溝15では、内側にConcave状にCurveしたSiO₂膜31が側

特開平2-138757 (5)

壁および底壁からなる段差面に沿って残存される。

その結果、 SiO_2 膜30の接合面14bが Si 基板11の最上面11aより長さDだけ除去されることになる。

続いて、 Si 基板11上の全面に、第2の SiO_2 膜17をCVD法を用いて積層する[第1図(e)参照]。この際、その膜厚gは狭い溝14および広い溝15の深さdと同程度で、約 $1\mu\text{m}$ である。そして、狭い溝14の中央部上方における SiO_2 膜17の最上面41には小さなくぼみ17aが形成される。

次に、 SiO_2 膜17上における広い素子分離領域1上に、第1のレジスト膜18を積層し、さらに第1のレジスト膜18を含む SiO_2 膜17上の全面に第2のレジスト膜19を積層して表面の平坦化をおこなう[第1図(f)参照]。

続いて、第1、第2のレジスト膜18、19および SiO_2 膜17を、これらの膜18、19、17に対して等しいエッチング速度を有する条件のもとでRIEによって、素子形成領域Sおよび

Tのシリコン基板11上に、 SiO_2 膜17の膜厚が500~1000Å程になるまでエッチバックをおこない、最後は、HFによるウェットエッチングにより最上面11aが露出するまでエッチングをおこなう[第1図(g)参照]。

この際、狭い溝14は、下部に位置する接合面14bを有する SiO_2 膜30と、上部に位置する接合面をもたない SiO_2 膜33とで埋設されている。一方、広い溝15は、段差面をおおう SiO_2 膜31と、 SiO_2 膜31をおおう SiO_2 膜34とで埋設されている。

その後、素子形成領域S、TにMOS FETを形成する[第1図(h)参照]。

この際、まず、HF液によるウェットエッチングを Si 基板11に施してHF処理をおこなう。そして、HF処理を通した後には、狭い溝14の SiO_2 膜は、上部の SiO_2 膜33は接合面をもたないことから、その膜33には従来のようなHF液によるくぼんだ部分が形成されるおそれはない。このHF処理の後、 Si 基板11上に、ゲー

ト酸化膜およびポリシリコン膜を順次積層した後、フォトリソグラフィによってゲート電極18を形成し、さらに、素子形成領域S、Tの Si 基板11上に、n型不純物のイオン注入をおこないソース・ドレイン領域19を形成し、続いて、 Si 基板11の全面に、 SiO_2 の絶縁膜20を形成した後、ソース・ドレイン領域19に到達するコンタクトホール40を開口して、該コンタクトホール40を介してメタル配線21をおこない、MOS FETを作成する[第1図(h)参照]。

(ホ) 発明の効果

以上のようにこの発明によれば、半導体基板上のサブミクロン寸法の狭い溝の埋め込みのために、等方的デポジション、等方的ドライエッチング、等方的デポジション、および平坦化エッチバックを順次に組み合わせてなり、等方的デポジションによって狭い溝および広い溝を含めて半導体基板上に積層された絶縁膜を等方的ドライエッチング法で除去し、そして再び、等方的デポジションで積層した後、平坦化エッチバックをおこなうよう

にすることによって狭い溝内の絶縁膜が中央部にウェットエッチングに弱い接合面を狭い溝の下部から上部の開口までにわたり有しながらHF処理によるウェットエッチングに付される従来の問題点が解決される。従って、この発明により、素子間リークや素子のゲート間のショートが発生が起らない素子の製造を有利に提供できる効果がある。

4. 図面の簡単な説明

第1図(a)~(h)はそれぞれこの発明の一実施例を説明するための製造工程説明図、

第2図は上記実施例を用いて形成された半導体装置の概略平面図であり、第1図(h)はそのh-h断面図である。

第3図は上記実施例における狭い溝と広い溝の位置関係を示す構成説明図、

第4図(a)~(c)は上記実施例の比較例を説明するための製造工程説明図、

第5図(a)~(f)はそれぞれ従来例を説明するための製造工程説明図である。

特開平2-138757 (6)

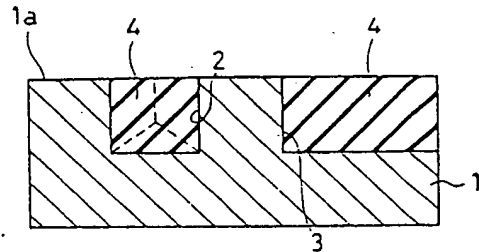
第 5 図

- 11 …… Si 基板、 14 …… 狭い溝、
 15 …… 広い溝、
 16 …… 第1の SiO₂ 膜 (第1絶縁膜)、
 17 …… 第2の SiO₂ 膜 (第2絶縁膜)、
 18 …… 第1のレジスト膜、
 18 …… 第2のレジスト膜、
 30, 31, 33, 34 …… SiO₂ 膜。

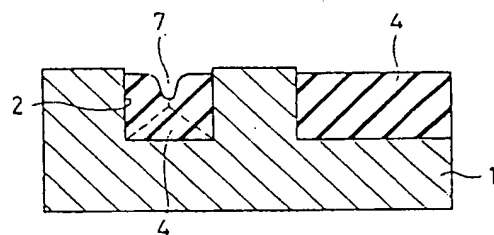
代理人 弁理士 野 河 信 太 郎



(e)

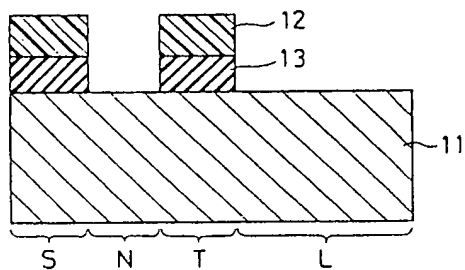


(f)

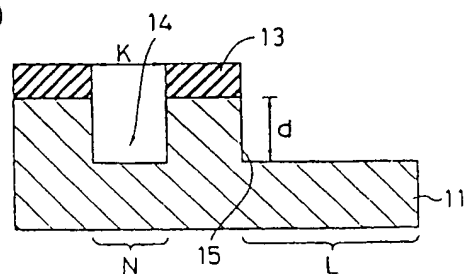


第 1 図

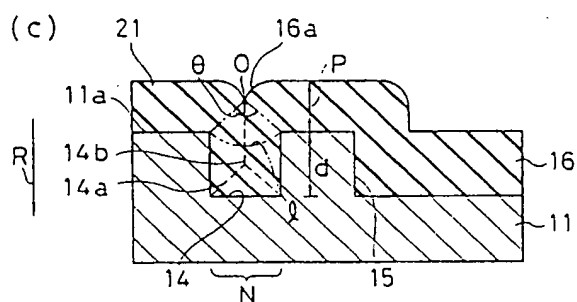
(a)



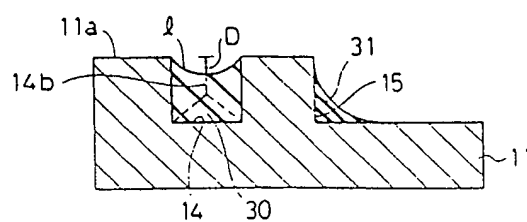
(b)



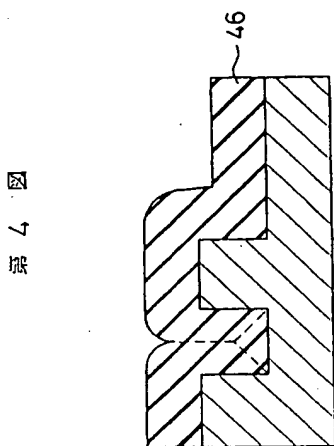
(c)



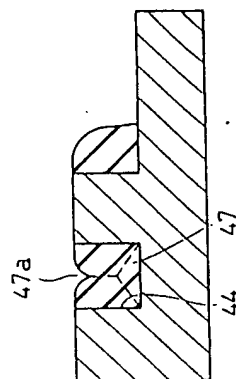
(d)



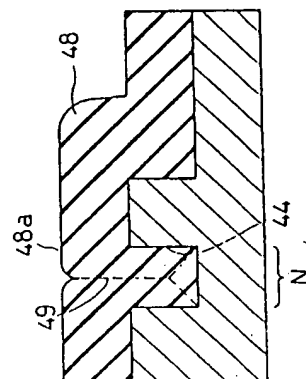
特開平2-138757 (8)



(a)



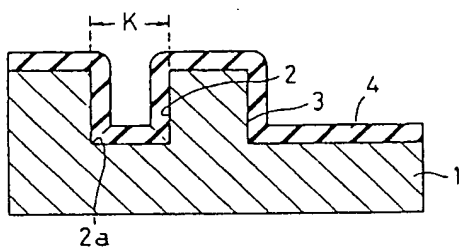
(b)



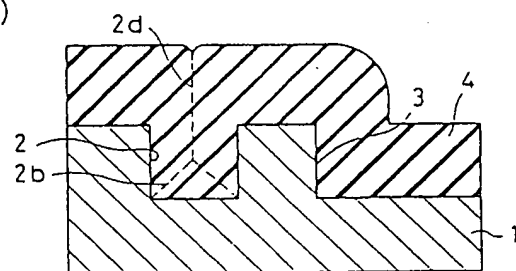
(c)

第 5 図

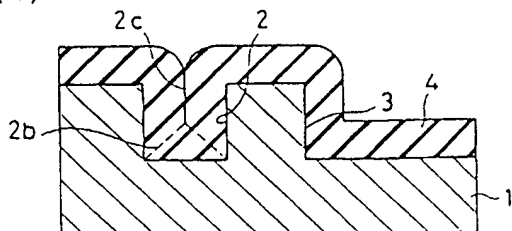
(a)



(c)



(b)



(d)

